

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-294873

(43)Date of publication of application : 10.11.1995

(51)Int.Cl.

G02F 1/133
G09G 3/36

(21)Application number : 06-086861

(22)Date of filing : 25.04.1994

(71)Applicant : MITSUBISHI ELECTRIC CORP

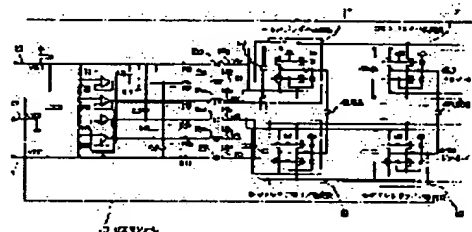
(72)Inventor : KAMINE SHIGEYUKI
OGATA TOMOHIRO
KOUCHI KOJI
SAKAI HIROHITO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a liquid crystal display device capable of preventing the malfunction of liquid crystal driving logic circuits while using conventional ready-made liquid crystal drivers.

CONSTITUTION: In the power source circuits of the liquid crystal display device, 6 potentials V0 to V5 for driving liquid crystal are supplied to drivers 17, 18 of CMOSs with power source wirings 14a to f. Impedance forming elements consisting of chip impedors 15a to f and resistors R6 to R11 are inserted in all of power source wirings 14a to f. Thus, generations of ringing voltages in power source wirings can be suppressed. Further, in an FFC having wirings of control signals such as a timing clock and wirings for supplying voltages from external power sources to an LCD module, a high voltage power source wiring and a current recovering wiring are separated physically from other timing clock wirings and these two power source wirings are allotted to plural wirings in the FCC.



LEGAL STATUS

[Date of request for examination]

08.10.1997

[Date of sending the examiner's decision of rejection]

02.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-294873

(43) 公開日 平成7年(1995)11月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 2 0			
G 0 9 G 3/36				

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願平6-86861

(22) 出願日 平成6年(1994)4月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 加峯 茂行

神奈川県鎌倉市上町屋325番地 三菱電機
株式会社システム製作所内

(72) 発明者 尾形 友博

神奈川県鎌倉市上町屋325番地 三菱電機
株式会社システム製作所内

(72) 発明者 古内 浩二

神奈川県鎌倉市上町屋325番地 三菱電機
株式会社システム製作所内

(74) 代理人 弁理士 吉田 研二 (外2名)

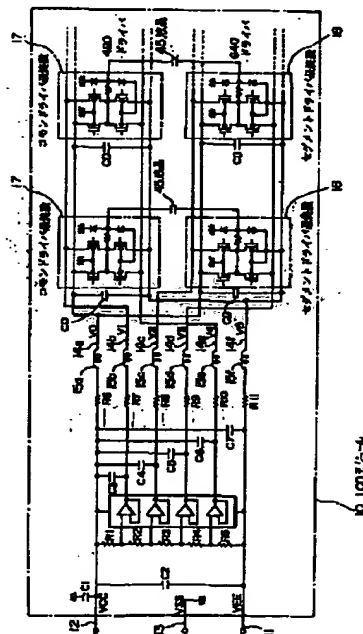
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 従来の既製液晶ドライバを用いながら、液晶駆動用の論理回路の誤動作を防止可能な液晶表示装置を提供する。

【構成】 液晶表示装置の電源回路において、液晶を駆動するための6電位V0～V5は電源配線14a～fによってCMOSのドライバ17、18に供給されている。そしてこの電源配線14a～fの全てにチップインピーダ15a～fや抵抗R6～R11からなるインピーダンス形成素子が挿入されている。これにより、電源配線でのリングング電圧の発生を抑制できる。また、LCDモジュール10にタイミングクロック等の制御信号や外部電源からの電圧を供給するための配線を有するFFCにおいて、高圧電源配線及び電流回収配線を、他のタイミングクロック配線から物理的に離し、またこの2つの電源配線をFFC内の複数の配線に割り付けた。



【特許請求の範囲】

【請求項1】 液晶を挟んで設けられた電極により、液晶を駆動して所定の表示を行う液晶表示装置において、液晶を駆動するための複数段階の電圧をスイッチ素子を介して前記電極にそれぞれ供給する複数の電源配線を有し、

前記電源配線のそれぞれにインピーダンス形成素子を挿入したことを特徴とする液晶表示装置。

【請求項2】 液晶を挟んで設けられた電極により、液晶を駆動して所定の表示を行う液晶表示装置において、前記液晶表示装置に、所定の信号及び外部電源からの所定の電圧を供給する複数の配線を有し、

前記配線のうち、液晶駆動用の高圧電源配線と、前記高圧電源配線と対をなす電流回収配線とを、他の配線から物理的に離れたことを特徴とする液晶表示装置。

【請求項3】 請求項1記載の液晶表示装置において、前記液晶表示装置に、所定の信号及び外部電源からの所定の電圧を供給する複数の配線を有し、

前記配線のうち、液晶駆動用の高圧電源配線と、前記高圧電源配線と対をなす電流回収配線とを、他の配線から物理的に離れたことを特徴とする液晶表示装置。

【請求項4】 請求項1及び請求項2及び請求項3のいずれか1つに記載の液晶表示装置において、基板にプリント形成された複数の配線であって、前記液晶表示装置に、所定の信号及び外部電源からの所定の電圧を供給する複数の配線を有し、前記配線のうち、液晶駆動用の高圧電源配線と、前記高圧電源配線と対をなす電流回収配線とを、前記基板の複数の配線に割り付けたことを特徴とする液晶表示装置。

【請求項5】 請求項1記載の液晶表示装置において、前記インピーダンス形成素子は、チップインピーダ又は抵抗素子の少なくとも一つであることを特徴とする液晶表示装置。

【請求項6】 請求項2及び請求項3及び請求項4のいずれか一つに記載の液晶表示装置において、前記配線はフレキシブル基板にプリント形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マトリクス型液晶表示装置に関し、特に液晶駆動電極に所定の電圧を供給する電源回路の構成に関する。

【0002】

【従来の技術】 従来から、液晶表示装置においては、液晶を挟んで設けられた一対の駆動電極により液晶を駆動している。そして、この駆動電極には、液晶を駆動するための複数段階の電圧が、CMOS回路等で構成されたスイッチ素子を介して供給されている。

【0003】 以下に、液晶表示装置の電源回路の構成に

ついて単純マトリクス型液晶表示装置を例にとって説明する。

【0004】 単純マトリクス型液晶表示装置では、液晶を挟んで設けられたコモン電極と、セグメント電極に所定の電圧を供給することによって、これらの電極の間に位置する液晶を駆動している。

【0005】 図4は、単純マトリクス型液晶表示装置において、そのモジュール10内に形成された電源回路の一部を示している。

【0006】 図において、外部高圧電源から配線を介してモジュール10に供給される高圧電源VEEは、接地電圧VSSよりも20～30V低い負電源であり、電源VCCは、論理回路用に供給されている3～5Vの電源である。そして、この装置は、電源VCCと高圧電源VEEとを用いて、液晶45を駆動するための液晶駆動電圧を作り出す負電源タイプである。なお、このほかに、接地電圧VSSより30～40V高い高圧正電源と接地電圧VSSを用いて液晶駆動電圧を作り出す正電源タイプもあるが、いずれも基本的な電源回路の構成は図4に示すものと同様である。

【0007】 また、近年の小型、軽量、高密度実装の要求から、液晶駆動用の電源を液晶駆動電極（コモン電極、セグメント電極）に供給するための高圧電源配線は、この高圧電源配線と対を成す電流回収配線や他のタイミングクロック配線とともに、図7に示すようなフレキシブル基板にプリントされた配線ケーブル（FFC：Flexible Flat Cable）と呼ばれるインタフェースケーブルによって制御系、外部電源と接続されている。

【0008】 図4の液晶表示装置では、外部電源から供給される高圧電源VEEと電源VCCの2電圧を、分圧抵抗R1～R5によって分圧することにより、液晶駆動電圧として所定の6電圧V0～V5を作成している。なお、正電源タイプにおいては高圧正電源VEEとVSSから6電圧が作り出される。

【0009】 そして、これら6電圧V0～V5の内、V0、V1、V4、V5はそれぞれ電源配線44a、44b、44e、44fによってコモンドライバ17に供給されている。また、V0、V2、V3、V5はそれぞれ電源配線44a、44c、44d、44fによってセグメントドライバ18へ供給されている。

【0010】 一方、コモンドライバ17、セグメントドライバ18の最終出力段は、それぞれ図8のようなCMOSのスイッチング回路から構成されている。そして、このCMOSスイッチング回路は、それぞれ4つの出力段であるスイッチ素子（FET：電界効果型トランジスタ）Q85～88から構成されている。この出力段Q85～88は、電源配線44a～fによってそれぞれ供給されている4電圧81～84の中から1電圧だけを、コモン電極及びセグメント電極に対して供給する。従って、2つの電極に挟まれた部分の液晶は、この2つの電

極間の電位差に応じて駆動される。

【0011】

【発明が解決しようとする課題】このCMOSの出力段Q85～88から出力される電圧81～84は、表示内容及び液晶に直流が印加されることを防止するための交流化のフラッグ符号（交流化信号）によって決定される。この電圧を切り替える、すなわち論理回路によって4つの出力段Q85～88のうちの3つのゲートを非選択状態にし、1つのゲートを選択状態にする際に、CMOS出力段Q85～88のゲート/ドレイン間浮遊容量への充電現象が生ずる。

【0012】しかしながら、1FETあたりのゲート電流はわずかなものであるが、図8のCMOS出力段Q85～88は液晶表示装置の単純マトリクスを構成する共通電極ライン、セグメント電極ラインの各々に1組ずつ設けられるので、1装置あたりの全ゲート充電電流はVGA（480画素×640画素）規格でも1ゲートの充電電流の1120×4倍となってしまう。

【0013】このゲート/ドレイン容量への充電は、数10ナノ秒程度の過渡現象であり、よって周波数成分の高い充電大電流が電源系の配線内、およびこの電流を外部電源から供給する図7のFFC70に流れる。

【0014】ところが、FFC70の配線部を構成する導体部分71、ならびに共通電極側、セグメント電極側の両基板内の配線は、有限の寄生インダクタンス成分72を有しているため、周波数成分の高い過渡電流に対しては図6に示すようなリングング電流61が発生する。

【0015】また、この電流変化に応じたリングング電圧62が発生する。このリングング電圧62は、数10ナノ秒程度の周期を有し、FFC70内の導体間容量73や、共通電極側及びセグメント電極側の両基板内の配線間容量によって、論理回路系配線、すなわち論理回路系の電源配線や所定の信号が供給されるタイミングクロック配線にカップリングする。そして、このカップリングによって、図6に示すリングングノイズ63が発生し、これにより論理回路の誤動作を招くこととなる。

【0016】従って、従来の液晶表示装置では、基板内の配線長が長くなる場合や、FFC70のケーブル長が長くなる場合に、このリングングノイズ63が大きくなり、表示動作の不安定、表示品位の低下を招くという問題点があった。

【0017】この問題を解決する手段としては、例えば特開平1-215117号公報に示されているような構成が知られている。

【0018】これを図9を用いて説明する。この構成は、半導体回路装置の出力側に取り付けられた出力回路（CMOS）に関するものである。そして、この装置内の信号が入力される初段インバータ93と、初段インバータ93の出力信号を受ける複数の最終段インバータ91、

92とを有している。複数の最終段インバータ91、92は並列に接続されており、更にこの最終段インバータ91、92の内の一方インバータ92のゲート側には、抵抗R94が挿入されている。

【0019】このように抵抗R94を一方のインバータ92に設けることにより、2組の出力段インバータ91、92のゲートに対する充電電流を、図10に示す2対のCMOSに対するゲート電流が同時に重なった状態から、図11に示すように時間的に分散させることができる。従って、インバータ92の出力電圧の伝搬時間を大幅に長くすることなく、ゲート充電電流に起因したノイズの低減が可能になる。

【0020】そして、この構成を液晶表示装置のドライバへ適用したときには、先に述べたノイズに起因した表示動作の不安定や表示品位の低下を防止することができる。しかし、液晶表示装置の駆動用の集積回路内部に上記のインバータ93、ならびに抵抗R94を作りこまなければならない。従って、既製の液晶ドライバを用いることができないという欠点を有する。

【0021】また、特開平4-121786号公報には、単純マトリクス型液晶表示装置の電源回路において、交流化（出力段CMOSの切り替え）時に発生するノイズがシステム全体に対して与える影響、すなわちノイズに起因した表示動作の不安定や表示品位の低下を最小限にする構成が示されている。

【0022】この構成について、図12を用いて説明する。

【0023】共通側ドライバ121と、セグメント側ドライバ122とを独立構成としている。そして共通側ドライバ121とセグメント側ドライバ122との共通電源から、それぞれのドライバまでの間の電圧供給回路に、ダイオードクリップ123からなるノイズ遮断回路を設けることが示されている。

【0024】このような構成により、ノイズを低減でき、表示動作の不安定や表示品位の低下を最小限にすることができる。しかし、根本的にCMOSの出力段のゲート充電電流を抑制することは考慮されていないため、FFC内や共通電極側、セグメント電極側の各々の基板内で論理回路系のバス等にかップリングが発生してしまう。従って、この構成によっても、カップリングによるリングングノイズの発生、更に論理回路の誤動作防止はできない。

【0025】この発明は、上記のような問題点を解消するためになされたもので、従来の既製液晶ドライバを用いながら、論理回路の誤動作による表示動作の不安定や表示品位の低下を防止することを目的とする。

【0026】

【課題を解決するための手段】この発明に係る液晶表示装置では、液晶を駆動するための複数段階の電圧をスイッチ素子を介して電極に供給する複数の電源配線の全て

に、インピーダンス形成素子を挿入した。なお、このインピーダンス形成素子は、チップインピーダ又は抵抗素子の少なくともいずれか一方により構成されている。

【0027】また、所定の信号及び外部電源からの所定の電圧を、液晶表示装置に供給するための複数の配線において、この配線のうち、液晶駆動用の高圧電源配線と、高圧電源配線と対をなす電流回収配線とを、他の配線から物理的に離した。

【0028】更に、基板にプリント形成された複数の配線であって、前記液晶表示装置に、所定の信号及び外部電源からの所定の電圧を供給するための複数の配線を有し、この配線のうち、液晶駆動用の高圧電源配線と、前記高圧電源配線と対をなす電流回収配線とを、前記基板の複数の配線に割り付けたことを特徴とする。

【0029】また、上記配線は、フレキシブル基板にプリント形成されていることを特徴とする。

【0030】

【作用】請求項1に記載の発明は、図6に示す高い周波数成分の電流変化（リングング電流）61に対して大きなインピーダンスを示すインピーダンス形成素子を、液晶を駆動するための複数段階の電圧を電極に供給する複数の電源配線の全てに挿入した。

【0031】これにより、電源配線の高周波に対する応答速度を低下させ、スイッチ素子のゲート／ドレイン間容量へ流れる瞬間的な充電大電流を制限することができる。従って、電源配線でのリングング電圧62の発生を抑制でき、これに起因して発生する論理回路の誤動作、すなわち表示動作の不安定や表示品位の低下を防止することが可能となる。

【0032】また、請求項2に記載の発明では、所定の信号及び外部電源からの所定の電圧を液晶表示装置に供給するための複数の配線、例えばフレキシブル基板にプリント形成された配線において、電源電圧の変動（リングング電圧）の他の配線に対するカップリングが発生し易いことに注目した。

【0033】そして、この配線のうち、液晶駆動用の高圧電源配線と、高圧電源配線と対をなす電流回収配線とを、他の配線から物理的に離すこととした。

【0034】この液晶駆動用の高圧電源配線、ならびにこの高圧電源ラインと対を成す電流回収配線には、液晶ドライバ出力段のゲート／ドレイン間の容量を充電するための高い周波数成分を有する充電電流（リングング電流）が流れる。従って、この2つの配線をタイミングクロック等の配線から物理的に離すことによって、確実に上記カップリングを減少させ、論理回路の誤動作、即ち表示動作の不安定や表示品位の低下を防止することが可能となる。

【0035】請求項4に記載の発明は、更に、基板にプリント形成された配線において、前述の高い周波数成分を有するリングング電流が流れる高圧電源配線及びこの

高圧電源配線と対を成す電流回収配線とを、基板にプリントされた複数の配線に割り付けた。

【0036】これにより、1本あたりに流れるリングング電流を減少させて、基板上の配線が有する寄生インダクタンス成分によって発生するリングング電圧を減少させることができる。従って、論理回路の誤動作、即ち表示動作の不安定や表示品位の低下を防止することが可能である。

【0037】なお、以上説明した構成は、単独でも目的を達成することができるが、上記構成の内少なくとも二つ以上を組み合わせることで、更に確実に論理回路の誤動作、即ち表示動作の不安定や表示品位の低下を防止することが可能である。

【0038】

【実施例】

（実施例1）以下、この発明の一実施例を図を用いて説明する。

【0039】図1は、本発明の実施例に係る液晶表示装置の電源回路の一部を示している。なお、図1及び以下に示す図において、既に説明した図と同一部分には同一符号を付して説明を省略する。

【0040】図において、高圧電源V_{EE}及び電源V_{CC}は、高圧電源配線11と、この高圧電源配線11と対をなす電流回収配線（電源V_{CC}配線）12とを介して、LCDモジュール10に供給されている。

【0041】そして、この高圧電源V_{EE}配線11と電流回収配線12との間には、高圧電源V_{EE}及び電源V_{CC}の2電圧を分圧し、液晶45を駆動するための所定の6電圧V₀～V₅を作成するための分圧抵抗R₁～R₅が直列接続されている。

【0042】そして、分圧抵抗R₁～R₅によって形成される6電圧V₀～V₅の内、V₀、V₁、V₄、V₅はそれぞれ電源配線14a、14b、14e、14fによってコモンドドライバ17に供給され、V₀、V₂、V₃、V₅はそれぞれ電源配線14a、14c、14d、14fによってセグメントドライバ18へ供給されている。

【0043】そして、各電源配線14a～fには、インピーダンス形成素子であるチップインピーダ15a～f及び抵抗素子R₆～R₁₁が挿入されている。また、液晶駆動用の電源を液晶駆動電極に供給するための高圧電源配線12は、この高圧電源配線11と対を成す電流回収配線12や他のタイミングクロック配線とともに、図7に示すようなFFC等のインタフェースケーブル70によって制御系、外部電源と接続されている。

【0044】インタフェースケーブル70内での配線の割り当て（ピンアサイン）は、図5に示すようになっている。即ち、高圧電源V_{EE}配線53と、この高圧電源V_{EE}と対をなす電源V_{CC}配線（電流回収配線）51とが、ケーブル70内の中央部分に割り当てられ、さらこの2

つの配線の間には、接地電圧VSS配線52が割り当てられている。

【0045】以上のような構成とすることにより、本実施例では液晶ドライバ自身を変更することなく、電源配線の高周波電流に対する応答速度を低下させ、CMOSのスイッチ素子（出力段）のゲート／ドレイン間容量へ流れる瞬間的な充電大電流を制限することができる。従って、電源配線でのリングング電圧の発生を抑制でき、これに起因して発生する論理回路の誤動作、すなわち表示動作の不安定や表示品位の低下を防止することが可能となる。

【0046】このような構造を有する本実施例の液晶表示装置の性能について、従来の装置の構成と比較して以下に具体的に示す。

【0047】従来の液晶表示装置としては、既に説明した図4に示す電源回路から成る単純マトリクス型液晶表示装置を用いた。

【0048】そして、この装置に表示制御装置（コンピュータ等）から出力される制御信号及び外部電源電圧を供給するための配線ケーブルとして、図5に示すようなピンアサインであって、全長250mmのFFC（藤倉電線製TW-VF型、1.25mmピッチ、15極）を用いた。更に、電源VCC=3.3V、高圧電源VEE=20.8V、フレームレートは80Hzで駆動した。

【0049】駆動の結果、高圧電源VEE配線53、ならびに電源VCC配線51には、図6に示すような高い周波数成分を有する図4の液晶ドライバ出力段17、18のゲート／ドレイン間容量への充電電流61が流れた。そして、配線の寄生インダクタンス成分の存在により、高圧電源VEE配線及び電源VCC配線の始点と終点との間には、リングング電圧62が発生した。

【0050】更に、図5において高圧電源VEE配線53と電源VCC配線51に挟まれた接地電圧VSS配線52には、電源配線51、53とのカップリングによるリングングノイズ63が発生していた。

【0051】一方、これらの配線51、52、53から物理的に遠い位置にあるFLM（垂直同期パルス）配線54では、カップリングの影響を受けない。よって、論理回路を動作させるFLM配線54と接地電圧VSS配線52との電位差を観察すると、VSS配線52で発生しているリングング電圧63と逆相のリングング電圧64が発生した。

【0052】従って、FLM配線54に発生しているリングング電圧64は、最大波高が2.8V、最大幅が50nsに達し、CMOS等から構成される液晶ドライバに必要なハイレベル入力電圧VCCの0.8（2.64）V、及びハイレベルパルス幅40nsを上回ってしまい、論理回路の誤動作が発生して垂直同期の取れない状態になり正常な表示を行なうことができなかった。

【0053】これに対して、実施例1の液晶表示装置で

は、図1に示す電源回路から構成され、配線ケーブルとしては、図5に示すピンアサインで全長250mmのFFC（藤倉電線製TW-VF型、1.25mmピッチ、15極）を用いた。

【0054】また、VCC=3.3V、VEE=20.8V、フレームレートは80Hzで駆動した。図1のチップインピーダ15a~15fにはTDK製MMZ2012Y102Bを用い、抵抗素子R6~R11の抵抗値は、3Ω又は10Ωのものを用いた。

【0055】更に、インピーダンス形成素子は、以下の4種類として液晶表示装置を作製し実験に供した。

（1）チップインピーダ15a~15fのみ実装したもの。（2）抵抗素子R6~R11（3Ω）のみを実装したもの。（3）チップインピーダ15a~15fと抵抗素子R6~R11（3Ω）とを両方実装したもの。

（4）チップインピーダ15a~15fと抵抗素子R6~R11（10Ω）とを両方実装したもの。

【0056】駆動の結果は、図3に示すようになった。

即ち、（1）~（4）の4種類の液晶表示装置は、ともにVEE配線53、ならびにVCC配線51に流れるゲート／ドレイン間容量の充電電流（IEE、ICC）31が、高い周波数成分の電流変化に対して大きなインピーダンスを示すインピーダンス形成素子の挿入により、図6の充電電流61に比べて明らかに低減された。

【0057】また、VEE及びVCC配線の始点と終点で測定したリングング電圧32も減少している。

【0058】更に、これに伴って、FFCの導体間カップリングのために発生するVSS配線52のリングングノイズ33も減少するため、FLM（垂直同期パルス）配線54とVSS配線52との電位差を観察したときのリングング電圧34も非常に小さくなった。

【0059】FLM配線54に発生しているリングング電圧34の最大値は、上記（1）の条件（チップインピーダのみ）で0.25V、（2）の条件（抵抗（3Ω））で0.28V、（3）の条件（チップインピーダ及び抵抗（3Ω））で0.21V、（4）の条件（チップインピーダ及び抵抗（10Ω））で0.16Vとなった。このように、いずれの条件においても、液晶ドライバのローレベル入力電圧VCCの0.2（0.66）Vを下回っているため、論理回路の誤動作が確実に防止できる状態が維持されており、正常な表示を行なうことが可能となった。

【0060】（実施例2）次に、実施例1とは異なる構成について説明する。

【0061】本実施例では、液晶表示装置としては図4に示す電源回路を有する単純マトリクス型液晶表示装置を用いた。

【0062】そして、図4の液晶表示装置に、所定の制御信号や外部電源からの電圧を供給するための配線ケーブルは、図2に示すようなピンアサインのFFCとし

た。

【0063】即ち、FFC上において液晶駆動用の高圧電源VEE配線21と、高圧電源VEE配線21と対をなす電流回収配線（電源VCC配線）22とを、無接続導体NC24によって他のタイミングクロック等の制御信号用の配線23から物理的に離した。なお、液晶表示装置が正電源駆動型の場合には、VEE配線とVSS配線とを、FFC上でタイミングクロック配線等と物理的に離す。

【0064】また、高圧電源VEE配線21及び電流回収配線22を、FFCの複数の配線21a、21b及び22a、22bにそれぞれ割り付けた。

【0065】FFCとしては、全長250mmのFFC（藤倉電線製TW-VF型、1.25mmピッチ、18極）を用いた。

【0066】そして、VCC=3.3V、VEE=20.8V、フレームレートは80Hzで駆動した。

【0067】駆動の結果、図3に示すように、VEE配線21及びVCC配線22に流れるゲート／ドレイン間容量充電電流31は、VEE配線21及びVCC配線22を各々複数の配線21a、21b及び22a、22bに分割したことにより減少した。

【0068】従って、VEE配線21及びVCC配線22の始点と終点で測定したリンギング電圧32も減少していた。

【0069】また、FFC上で、VEE配線21及びVCC配線22と、タイミングクロックライン23とを物理的に離した構造とした。これにより、VSS配線25にFFCの導体間カップリングによって発生するリンギングノイズ33も減少し、FLM配線26とVSS配線25との電位差を観察したときのリンギング電圧34も非常に小さくなっていた。

【0070】FLM配線26に発生しているリンギング電圧34は、最大波高が0.30Vであり、液晶ドライバのローレベル入力電圧VCCの0.2（0.66）Vを下回っている。従って、論理回路の誤動作の防止を維持でき正常な表示を行なうことができた。

【0071】なお、本実施例においては、FFC上において高圧電源VEE配線21と、電流回収配線22とを、他の配線23から物理的に離し、かつ、それぞれを複数の配線（導体）に割り付けた構成とした。しかし、配線の分離と複数本への割り付けは必ずしも両方採用しなくても、一方の構成のみであってもリンギング電圧の低減は可能である。

【0072】（実施例3）実施例1及び実施例2を更に改良した例について以下に説明する。

【0073】本実施例においては、液晶表示装置としては、図1に示す電源回路を有する単純マトリクス型液晶表示装置を用いた。

【0074】そして、この液晶表示装置と、表示制御装置とは、図2に示すピンアサインのFFCで接続した。

FFCは、全長250mmのFFC（藤倉電線製TW-VF型、1.25mmピッチ、18極）を用い、VCC=3.3V、VEE=20.8V、フレームレートは80Hzで駆動した。

【0075】図1のインピーダンス形成素子としては、チップインピーダ15a~15f（TDK製MMZ2012Y102B）と、抵抗素子R6~R11（3Ω）の双方を電源配線14a~fに挿入した。

【0076】本実施例の構成によれば、実施例1及び実施例2の効果が相乗されて得られる。

【0077】即ち、実施例1の構成によって得られるリンギング電圧は、（1）0.25V、（2）0.28V、（3）0.21V、（4）0.16Vである。また、実施例2のリンギング電圧は0.30Vである。

【0078】これに対して本実施例での駆動結果においては、FLM配線26に発生するリンギング電圧34は、最大波高が0.12Vであり、他の実施例に比べても極めて小さく、液晶ドライバのローレベル入力電圧0.2VCC（0.66V）を完全に下回っている。従って、論理回路の誤動作は確実に防止でき、表示動作の不安定や表示品位の低下を防止することが可能となる。

【0079】なお、実施例1及び実施例3においては、インピーダンス形成素子としてチップインピーダと、抵抗値が3Ω、10Ωの抵抗素子とを用いたが、これには限らない。また抵抗素子の抵抗値は3Ω、10Ωには限られず、例えば1Ω~15Ωの範囲であれば効果を有する。

【0080】更に、実施例2及び実施例3においては、FFCにおける高圧電源配線及びこれと対をなす電源回収配線の割り付け数は2つには限らず、ピンアサイン上の許容範囲内の複数本であればよい。また、高圧電源配線及び電源回収配線と他の配線とは、物理的に分離されていれば、他の配線との分層を行う無接続の配線は1本に限らず、ピンアサイン上の許容範囲内の複数本でよい。

【0081】

【発明の効果】以上述べたように、請求項1記載の発明によれば、リンギングノイズに対して大きなインピーダンスを示すインピーダンス形成素子を、液晶を駆動するための複数段階の電位をスイッチ素子を介して前記電極にそれぞれ供給する複数の電源配線の全てに挿入した。

【0082】これにより、電源系配線の高周波に対する応答速度を低下させ、スイッチ素子のゲート／ドレイン間容量へ流れる瞬間的な充電大電流を制限することができる。従って、電源配線でのリンギング電圧の発生を抑制でき、これに起因して発生する論理回路の誤動作、すなわち表示動作の不安定や表示品位の低下を防止することが可能となる。

【0083】また、請求項2に記載の発明は、液晶表示装置に所定の信号及び外部電源からの所定の電圧を供給

するための複数の配線において、液晶駆動用の高圧電源配線と、高圧電源配線と対をなす電流回収配線とを、他の配線から物理的に離すこととした。

【0084】この液晶駆動用高圧電源配線、ならびにこの高圧電源配線と対を成す電流回収配線には、液晶ドライバ出力段のゲート/ドレイン間の容量を充電するためのリンキング電流が流れる。従って、この2つの配線をタイミングクロック等の配線から物理的に離すことによって、確実に上記カップリングを減少させ、論理回路の誤動作、即ち表示動作の不安定や表示品位の低下を防止することが可能となる。

【0085】また、請求項4に記載の発明は、更に、基板上にプリント形成された配線ケーブルにおいて、前述の高い周波数成分を有するリンキング電流が流れる液晶駆動用の高圧電源配線及びこの高圧電源配線と対を成す電流回収配線とを、基板上にプリントされた複数の配線に割り付けた。

【0086】これにより、1本あたりに流れるリンキング電流を減少させて、基板上の配線が有するインダクタンス成分によって発生するリンキング電圧を減少させることができる。従って、論理回路の誤動作、即ち表示動作の不安定や表示品位の低下を防止することが可能である。

【0087】なお、以上説明した構成は単独でも目的を達成することができるが、上記構成の内少なくとも二つ以上を組み合わせることで適用することにより、更に確実に論理回路の誤動作、即ち表示動作の不安定や表示品位の低下を防止することが可能である。

【図面の簡単な説明】

【図1】 本発明の実施例1及び実施例3の液晶表示装置の電源回路を示す図である。

【図2】 本発明の実施例2及び実施例3のFFCのピ

ンアサインを示す図である。

【図3】 本発明の実施例1、実施例2、実施例3のノイズ発生状態を示す図である。

【図4】 本発明の実施例1及び従来の液晶表示装置の電源回路を示す図である。

【図5】 液晶表示装置の配線ケーブルを示す図である。

【図6】 従来のノイズ発生状態を示す図である。

【図7】 FFC内の寄生インダクタンス、寄生容量を示す図である。

【図8】 コモンドドライバ17及びセグメントドライバ18の回路構成を示す図である。

【図9】 従来の半導体回路装置の出力側に取り付けたCMOSの回路構成を示す図である。

【図10】 図9の半導体回路装置のゲート電流出力特性を説明するための図である。

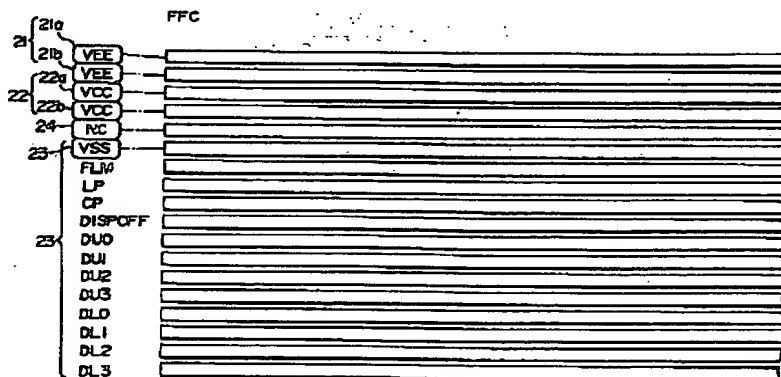
【図11】 図9の半導体回路装置の改良されたゲート電流出力特性を示す図である。

【図12】 従来の単純マトリクス型液晶表示装置の電源回路の構成を示す図である。

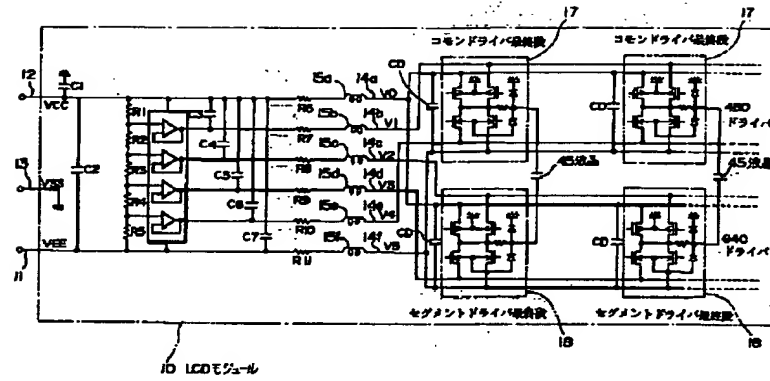
【符号の説明】

14a~f 電源配線、15a~f チップインピーダ、R6~R11 抵抗素子、17 コモンドドライバ、18 セグメントドライバ、21 高圧電源VEE配線、22 電流回収配線、23 タイミングクロック配線、24 無接続導体NC、25 VSS配線、26 FLM配線、31 VEE配線及びVCC配線に流れるゲート/ドレイン間容量充電電流、32 VEE、VCC配線の始点と終点で測定したリンキング電圧、33 リンキングノイズ、34 FLM配線とVSS配線との電位差を観察したときのリンキング電圧。

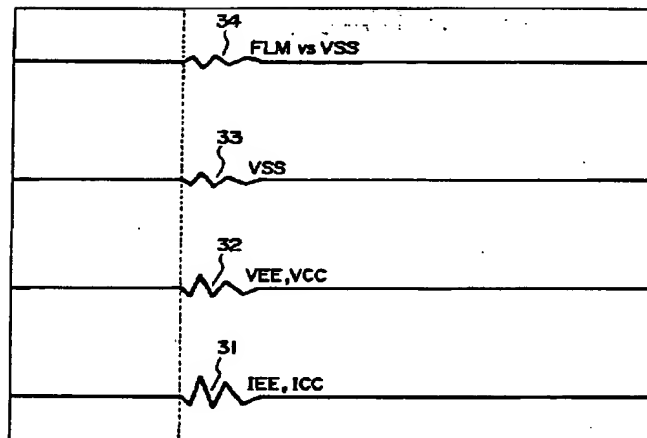
【図2】



【図1】

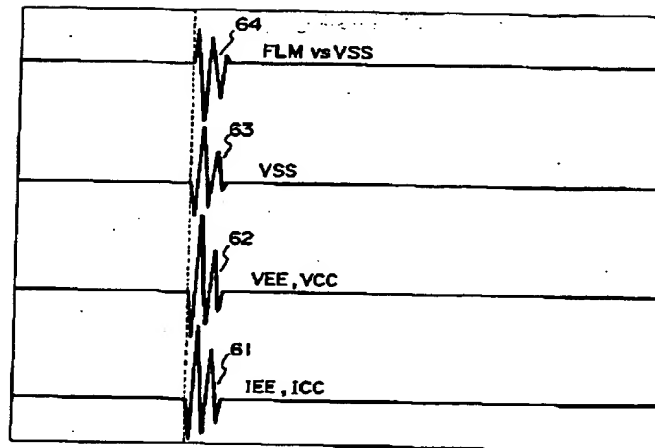


【図3】



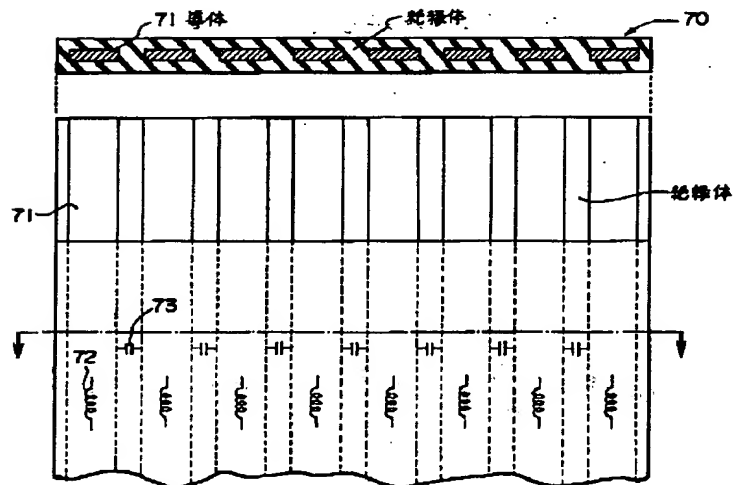
各ノイズの発生状態（本実施例）

【図6】



各ノイズの発生状態(従来)

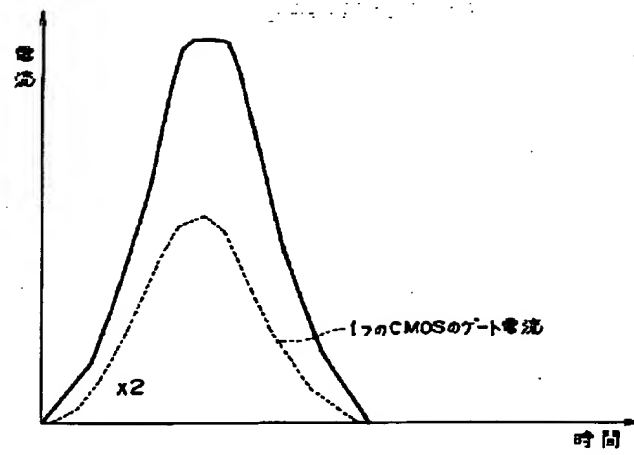
【図7】



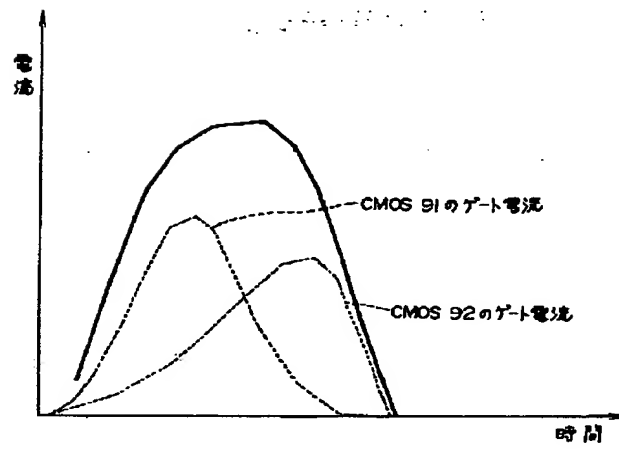
The circuit diagram shows a differential amplifier with a current mirror load. The input stage consists of two NMOS transistors, Q86 and Q87, whose sources are connected to a common source node (83). The gates of Q86 and Q87 are connected to a differential-mode input signal (81) and a common-mode input signal (82). The drains of Q86 and Q87 are connected to a current mirror load. The current mirror is formed by two PMOS transistors, Q85 and Q88, whose sources are connected to a common source node (84). The gates of Q85 and Q88 are connected to a common-mode input signal (82). The drains of Q85 and Q88 are connected to a differential-mode output signal (85). A diode-connected NMOS transistor (Q86) is connected between the output node (85) and the common source node (83) to provide a DC offset voltage. The output node (85) is also connected to a load capacitor (86) and a load resistor (87). The circuit is powered by a supply voltage (88) and a ground connection (89).

The circuit diagram shows a differential amplifier configuration. It consists of two input transistors, 91 and 92, which are part of a differential pair. The gates of these transistors are connected to a common gate voltage. The sources of both transistors are connected to a common source node, which is connected to ground through a resistor labeled R94. The drains of transistors 91 and 92 are connected to a common drain node, which is connected to a supply voltage through a resistor labeled R93. The output of the differential amplifier is taken from the common drain node.

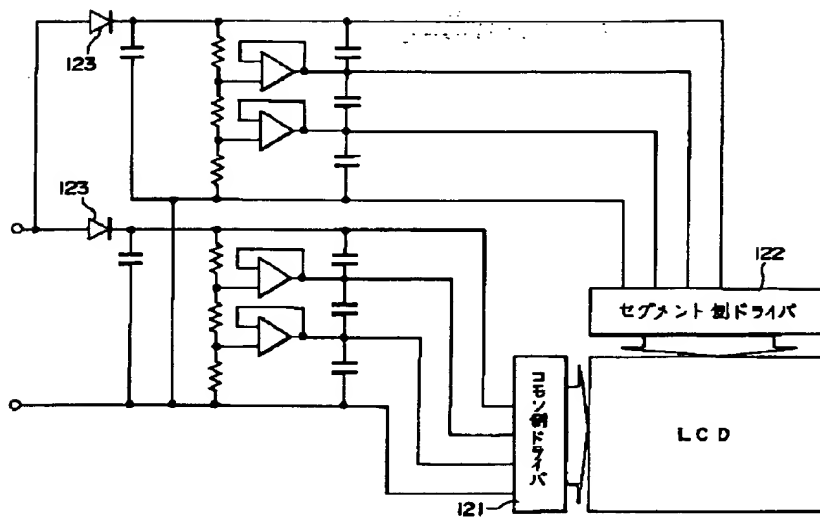
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 坂井 拓仁
 神奈川県鎌倉市上町屋325番地 三菱電機
 株式会社システム製作所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.